

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-36037

(P2001-36037A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターミナル* (参考)	
H 0 1 L 27/108		H 0 1 L 27/10	6 7 1 C	5 F 0 4 8
21/8242		27/08	3 3 1 E	5 F 0 8 3
27/08	3 3 1	27/10	6 7 1 Z	5 F 1 1 0
29/786			6 8 1 F	
		29/78	6 1 3 B	
		審査請求 有	請求項の数11	O L (全 6 頁)

(21) 出願番号 特願平11-206528

(22) 出願日 平成11年7月21日 (1999.7.21)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 濱武 伸寿

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

Fターム(参考) 5F048 AB01 AC01 BA16 BB06 BD01

5F083 AD00 CA01 CA06 IIA02 PR36

ZA05 ZA08

5F110 AA06 AA08 BB06 CC02 EE09

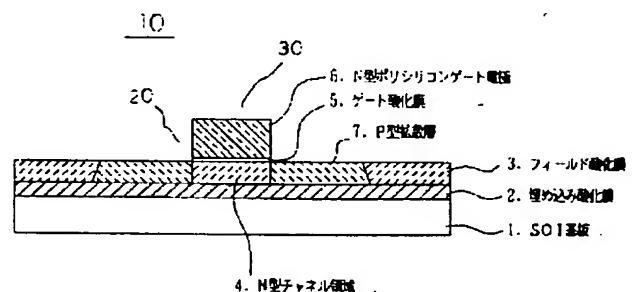
GG02 GG13 GG25

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】  $V_t$  の高い完全空乏化型 (FD) PMOS トランジスタで構成された半導体装置であって、特に、DRAMを提供すると共に、それらの製造方法を提供する。

【解決手段】 セルトランジスタ20がSOI基板1上に形成されたPMOSトランジスタ30のみで構成されている半導体装置10、



**【特許請求の範囲】**

【請求項1】 セルトランジスタがSOI基板上に形成されたPMOSトランジスタのみで構成されている事を特徴とする半導体装置。

【請求項2】 当該半導体装置はDRAMである事を特徴とする請求項1記載の半導体装置。

【請求項3】 当該PMOSトランジスタのゲート電極がN型ゲート電極で構成されている事を特徴とする請求項1又は2に記載の半導体装置。

【請求項4】 当該PMOSトランジスタのゲート電極がN型ポリシリコンからなるゲート電極である事を特徴とする請求項3に記載の半導体装置。

【請求項5】 ロジック部のPMOSトランジスタは低 $V_t$ で駆動され、セル部のPMOSトランジスタは高 $V_t$ で駆動される様に構成された請求項2乃至4の何れかに記載のDRAM。

【請求項6】 ロジック部のPMOSトランジスタのゲート電極は、P型ゲート電極で構成され、セル部のPMOSトランジスタのゲート電極は、N型ゲート電極で構成されている事を特徴とする請求項2乃至4の何れかに記載のDRAM。

【請求項7】 SOI基板上に形成されたPMOSトランジスタのみでセルトランジスタを構成する事を特徴とする半導体装置の製造方法。

【請求項8】 当該半導体装置はDRAMである事を特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 当該PMOSトランジスタのゲート電極をN型ゲート電極で構成する事を特徴とする請求項7又は8に記載の半導体装置の製造方法。

【請求項10】 当該PMOSトランジスタのゲート電極をN型ポリシリコンで構成する事を特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】 ロジック部のPMOSトランジスタを形成するに際しては、P型拡散層を形成すると共に、当該トランジスタのゲート電極をN型からP型に反転せしめ、セル部のPMOSトランジスタを形成するに際しては、P型拡散層を形成すると共に、当該トランジスタのゲート電極をN型に維持する様に処理が行われる事を特徴とする請求項7乃至10の何れかに記載のDRAMの製造方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関するものであり、特に詳しくは、高いしきい値電圧 $V_t$ を有する完全空乏化型のDRAM及びその製造方法に関するものである。

**【0002】**

【従来の技術】従来より、SOI半導体装置は知られており、特に薄膜SOI/CMOSからなる半導体装置は最近特に注目を集めている。

【0003】その理由としては、近年、薄膜SOI/CMOS技術は基板入手が比較的容易になってきた為であり、その結果、薄膜SOI/CMOS技術は急激に進歩し、一部のメーカーでは量産化が進んでいる。

【0004】処で、SOIMOSFETは、ソース・ドレインに於けるS/D接合容量が低減可能である。

【0005】また完全空乏化型(FD)MOSFETはS値(サブスレッショルド係数)が理想値(60mV/dec.)に限りなく近くなる様に、デバイス設計できるため、従来のバルクCMOSに比べて低電圧、高速動作に優れている。

【0006】特に、DRAMセルトランジスタにとっては拡散層リーク電流が低減するため、ホールド時間が向上する。

【0007】然しながら、その反面に於いて、完全空乏化型(FD)MOSFETではしきい値電圧 $V_t$ を高くするようにデバイス設計できないため(つまり、一般的には、 $V_t < 0.3V$ 程度である)従って、低電圧で駆動する半導体装置に於いては、特に書き込みデータの誤動作を招くおそれがある。

【0008】その対策として、例えば、部分空乏化型(PD)トランジスタを用いる方法があるが、係る部分空乏化型(PD)トランジスタでは、ボディ浮遊効果により当該しきい値電圧 $V_t$ が変動し、安定した回路動作が期待できない。

【0009】また、半導体装置の代表的な機種であるDRAMに於いては、特に当該DRAMに於けるロジック部のトランジスタにとって、前述した高速動作の利点が失われるため、SOIセルトランジスタにとっては、誤動作が増える問題があるので、当該DRAMに於けるセルトランジスタとしては、高 $V_t$ の完全空乏化型(FD)トランジスタを実現することが望まれている。

【0010】又、従来に於いては、基板電圧の変化や、電源回路が余計に必要であるという理由から、実用的な半導体装置に於いては専らNMOSトランジスタが使用され、PMOSトランジスタが使用される機会は極めて少ないのが実情である。

【0011】一方、特開平8-37312号公報には、SOI型半導体装置に関して記載されており、その主たる開示技術は、SOI型CMOSに於いて、PMOSトランジスタのしきい値に影響を及ぼす事なく、NMOSトランジスタのしきい値を調整する様に構成する目的で、当該NMOSトランジスタのゲート絶縁膜の膜厚を当該PMOSトランジスタのゲート絶縁膜の膜厚よりも厚くする技術が開示されているが、PMOSトランジスタで形成されたDRAMに関しては記載も示唆もない。

【0012】又、特開平2-209772号公報には、SOI上に形成されたMOSトランジスタに於けるドレイン破壊電圧を向上させ、且つ動作速度を向上する為

に、チャネル領域の厚みを薄くしたり、当該チャネル領域の導電型をソース・ドレインの導電型と同一にする技術が開示されているが、PMOSトランジスタで形成されたDRAMに関しては記載も示唆も無い。

#### 【0013】

【発明が解決しようとする課題】従って、本発明の目的は、上記した従来技術の欠点を改良し、 $V_t$ の高い完全空乏化型(FD)PMOSトランジスタで構成された半導体装置であって、特に、DRAMを提供するものである、

#### 【0014】

【課題を解決するための手段】本発明は上記した目的を達成するため、以下に記載されたような技術構成を採用するものである。

【0015】即ち、本発明に係る第1の態様としては、セルトランジスタがSOI基板上に形成されたPMOSトランジスタのみで構成されている半導体装置であり、より具体的には、当該半導体装置がDRAMである事、更には、当該PMOSトランジスタのゲート電極がN型ゲート電極で構成されている半導体装置若しくはDRAMである。

【0016】又、本発明に係る第2の態様としては、SOI基板上に形成されたPMOSトランジスタのみでセルトランジスタを構成する当該半導体装置の製造方法であり、当該半導体装置の製造方法に於いて、当該半導体装置はDRAMである事、又当該PMOSトランジスタのゲート電極をN型ゲート電極で構成する半導体装置の製造方法である。

#### 【0017】

【発明の実施の形態】本発明に係る当該半導体装置及び半導体装置の製造方法は、上記した様な技術構成を採用しているので、完全空乏化型(FD)トランジスタで高 $V_t$ が実現できるので、DRAMセルトランジスタに用いる場合、センスアンプの動作マージンを十分確保できる。またオフ電流を小さくできるのでDRAMのホールド時間が大幅に改善できる。

【0018】更には、DRAMセルトランジスタにSOI構造のトランジスタを採用することにより拡散層を基板と酸化膜で分離できるので、拡散層リーク電流が激減する。そのためDRAMのホールド時間が大幅に改善できる。

【0019】又、DRAMセルトランジスタにSOI構造のPMOSを採用することにより、基板バイアス効果(ボディ浮遊効果)は抑制され、同時にDRAMセルトランジスタが完全空乏化型(FD)トランジスタであるため $V_t$ が安定する。

#### 【0020】

【実施例】以下に、本発明に係る半導体装置及び半導体装置の製造方法の一具体例の構成を図面を参照しながら詳細に説明する。

【0021】即ち、図1は、本発明に係る当該半導体装置10の一具体的な構成を示す図であり、図中、セルトランジスタ20がSOI基板1上に形成されたPMOSトランジスタ30のみで構成されている半導体装置10が示されている。

【0022】即ち、本発明に係る半導体装置10は、特にDRAMである事が望ましく、図1は、当該DRAM10の一部に於けるPMOSトランジスタの構成の一例を示す断面図である。

【0023】更に、本発明に係る当該半導体装置の具体例としてのDRAMに於いては、当該SOI基板1上に形成されたPMOSトランジスタに於けるゲート電極6がN型ゲート電極で構成されている事が望ましく、特に当該ゲート電極6がN型ポリシリコンからなるゲート電極である事が好ましい。

【0024】つまり、本発明に係る当該DRAM10に於いては、セルトランジスタ部20は全てSOI基板1上に形成されたPMOSトランジスタ30で構成されており、然も前記DRAMに於けるセルトランジスタ20を構成している全てのSOI基板1上に形成されたPMOS30のゲート電極6がN型ポリシリコンで形成されていることが、最も好ましい態様である。

【0025】更に本発明に係る当該半導体装置10のより詳細な具体例に於いては、当該DRAMを構成するロジック部のSOI基板1上に形成されたPMOSトランジスタは低い値電圧 $V_t$ で駆動される様に構成されると共に、当該DRAMに於けるセル部を構成するSOI基板1上に形成されたPMOSトランジスタは高い値電圧 $V_t$ で駆動される様に構成されているものである。

【0026】その為、本発明に於ける半導体装置の一具体例であるDRAMに於いては、例えば、当該ロジック部のSOI基板1上に形成されたPMOSトランジスタのゲート電極は、P型ゲート電極で構成され、当該DRAMに於けるセル部のSOI基板1上に形成されたPMOSトランジスタのゲート電極は、N型ゲート電極で構成される事も望ましい。

【0027】此処で、本発明に係る当該半導体装置の一具体例であるDRAMの構成に付いて実施例の形でより詳細に説明する。

【0028】即ち、図1において、1はSOI基板、2はSOI基板の上に形成された100nm程度の埋め込み酸化膜層、3は素子分離のためのフィールド酸化膜、4は不純物濃度が $1.0 \times 10^{17} \text{cm}^{-3}$ 程度のN型チャネル領域、5は5nm程度のゲート酸化膜、6はN型ポリシリコンで形成されたゲート電極、7はP型拡散層領域である。

【0029】尚、N型ポリシリコン6はCVD法により形成したノンドーブシリコンに対して、 $\text{POCl}_3$ を酸化雰囲気中にて加熱し、ノンドーブシリコン中にリンを

拡散してN型にする。

【0030】不純物濃度は拡散温度により決まる。本具体例の場合900℃程度で加熱することにより、 $1.0 \times 10^{14} \text{ cm}^{-3}$ になっている。

【0031】更に、本発明に於いては、当該DRAM10に於けるセル部20を構成するセルトランジスタ30のSOI基板1上に形成されたPMOSTランジスタ30を完全空乏化型(FD)トランジスタにするために、N型チャネル領域4の厚さは50nm程度、不純物濃度が $1.0 \times 10^{17} \text{ cm}^{-3}$ 程度に設計されている。

【0032】本具体例に於て、当該不純物濃度が、上記値よりも大きくなると、SOI基板1上に形成されたPMOSTランジスタ30の動作時に空乏層が埋め込み酸化膜層2に到達しないことになり、その結果、部分空乏

$$S = \ln 10 \times (kT/q) \times (1 + C_d/C_{ox}) \\ = 2.3 \times 0.0259 \text{ (室温)} \times (1 + \epsilon_{si} \cdot t_{ox} / \epsilon_{ox} \cdot d)$$

で表され、完全空乏化型(FD)トランジスタでは、 $d (= \text{SOI膜厚} + \text{埋め込み酸化膜層}) \gg t_{ox}$ なので、サブスレッショルド係数であるS値は理想値(60mV/dec.)に近似できる。

【0036】反面、完全空乏化型(FD)PMOSTランジスタはチャネル不純物濃度を大きくできないためしきい値電圧 $V_t$ を、あまり高く設定する事ができないという不具合を有する。

【0037】一方、部分空乏化型(PD)トランジスタに於いては、しきい値電圧 $V_t$ コントロールが、チャネル濃度で自由に設計できる利点があるが、チャネルの一部に空乏化していない領域が存在するためドレイン端で発生したホットキャリア(ホール)により基板電流が発生し、電荷がチャネル領域の一部に空乏化していない領域に蓄積するため、基板バイアス効果(ボディ浮遊効果)によりしきい値電圧 $V_t$ が変動しやすく、また寄生バイポーラ動作を誘発すると言う問題もある。

【0038】極端な場合は、完全空乏化型でもこの様な現象は発生する。

【0039】従って、本具体例に於いては、しきい値電圧 $V_t$ の高い完全空乏化型(FD)トランジスタを実現する事が要望されるのであって、特にDRAMセルトランジスタは、データを保持する上でまた、センスアンプの動作マージンを確保する上で、ある程度高い $V_t$ が要求される。

【0040】一方、完全空乏化型(FD)トランジスタのしきい値電圧 $V_t$ は、

$$V_t = V_{fb} + 2\Phi_B - qNA \cdot T_{soi} / C_{ox}$$

で表される。

【0041】従って、DRAMセルトランジスタにN型ポリシリコンで形成されたゲート電極のPMOSTランジスタを用いることで $V_{fb}$ に仕事関数が加わり、その分だけ $V_t$ を高く設計できる。

【0042】また、PMOSはキャリアがホールのため

化型(PD)トランジスタになる。

【0033】本発明に於いては、上記した様な構成を採用していることから、SOI基板1上に形成されたPMOSTランジスタ30は完全空乏化型(FD)トランジスタとして機能し、その結果、当該PMOSTランジスタ30の動作時に空乏層が埋め込み酸化膜に到達し、ゲート酸化膜、空乏層、埋め込み酸化膜層がゲート容量として直列接続した形になり、バルクトランジスタや部分空乏化型(PD)トランジスタに比べ、ゲート容量は微減する。

【0034】このことは、サブスレッショルド係数(S)を小さくできるので、オフ電流の小さい低 $V_t$ トランジスタを実現できる。

【0035】サブスレッショルド係数は

基板電流の生成がNMOSの時のエレクトロンより小さく、基板バイアス効果(ボディ浮遊効果)は抑制される。

【0043】次に、本発明に係る当該半導体装置の他の具体例に於いて図2を参照しながら説明する。

【0044】即ち、前述の具体例に於けるDRAMに於いては、セルトランジスタを構成するPMOSTランジスタが、高いしきい値電圧 $V_t$ で動作する様に構成される為、低しきい値電圧 $V_t$ にして高速動作させたい当該DRAMに於けるロジック部のPMOSTランジスタも高 $V_t$ となり、不具合が生じる。

【0045】そのため、本具体例に於いては、図2

(A)に示す様に、先ずSOI基板1上に形成されたPMOSTランジスタのゲート電極8をドーブト多結晶Si法で、不純物濃度を例えば、 $5.0 \times 10^{19} \text{ cm}^{-3}$ 程度の不純物を含むN型のポリシリコンで形成する。

【0046】その後、通常の低しきい値電圧 $V_t$ で作動するSOI基板1上に形成されたロジックトランジスタとして機能するPMOSTランジスタ30に於ては、例えばイオン注入法によりボロンを $5.0 \times 10^{15} \text{ cm}^{-2}$ 程度注入し、P型拡散層を形成するとともに、ゲート電極をN型からP型に反転させる。

【0047】このことにより前記したPMOSTランジスタ30のしきい値電圧 $V_t$ の一般式中、 $V_{fb}$ の項に含まれる仕事関数が低下するのでその差分だけPMOSTランジスタのしきい値電圧 $V_t$ は小さくなり、従って低しきい値電圧 $V_t$ で駆動されるPMOSTランジスタ30を実現できる事になる。

【0048】一方、図2(B)に示す様に、当該SOI基板1上に形成されたPMOSセルトランジスタ30はP型拡散層を形成する際、イオン注入法によりボロンを $1.0 \times 10^{14} \text{ cm}^{-2}$ 程度で注入して形成する。

【0049】この場合、拡散層は、P型拡散層で且つ不純物濃度は低濃度であるが、一方、ゲート電極はP型に

反転しないでN型のままでいるので、前記具体例と同様に高しきい値電圧 $V_t$ で駆動するSOI基板1上に形成されたPMOSトランジスタ30を形成する事が可能となる。

【0050】上記した説明から明らかな様に、本発明に於ける半導体装置の製造方法、より具体的には、本発明に於けるDRAMの製造方法としては、SOI基板上に形成されたPMOSトランジスタのみでセルトランジスタ部を構成する半導体装置の製造方法であり、特にDRAMの製造方法である。

【0051】更に、本発明に係る当該半導体装置の製造方法に於いては、当該SOI基板1上に形成されたPMOSトランジスタのゲート電極をN型ゲート電極で構成することが望ましい。

【0052】又、本発明に係る当該半導体装置の製造方法に於いては、当該SOI基板1上に形成されたPMOSトランジスタのゲート電極をN型の不純物を含むポリシリコンで構成する事も望ましい。

【0053】一方、本発明に於ける半導体装置の製造方法に有っては、ロジック部を構成するSOI基板1上に形成されたPMOSトランジスタを形成するに際しては、P型拡散層を形成すると共に、当該トランジスタのゲート電極をN型からP型に反転せしめ、当該セル部を構成するSOI基板1上に形成されたPMOSトランジスタを形成するに際しては、P型拡散層を形成すると共に、当該トランジスタのゲート電極をN型に維持する様に処理する事が望ましい。

【0054】

【発明の効果】本発明に係る当該半導体装置は、上記した様な技術構成を採用しているので、以下に示す様な効果を得ることが可能である。

【0055】即ち、第1の効果としては、完全空乏化型(FD)のSOI基板1上に形成されたPMOSトランジスタ高しきい値電圧 $V_t$ が実現できるので、DRAM

セルトランジスタに用いる場合、センスアンプの動作マージンを十分確保できる。

【0056】また、オフ電流を小さくできるのでDRAMのホールド時間が大幅に改善できる。

【0057】又、第2の効果としては、DRAMセルトランジスタにSOI構造のPMOSトランジスタを採用することにより拡散層を基板と酸化膜で分離できるので、拡散層リーク電流が激減する、そのためDRAMのホールド時間が大幅に改善できる。

【0058】更に、第3の効果としては、DRAMセルトランジスタにSOI構造のPMOSを採用することにより、基板バイアス効果(ボディ浮遊効果)は抑制される他、DRAMセルトランジスタが完全空乏化型(FD)トランジスタであるため $V_t$ が安定すると言う効果も得られる。

【図面の簡単な説明】

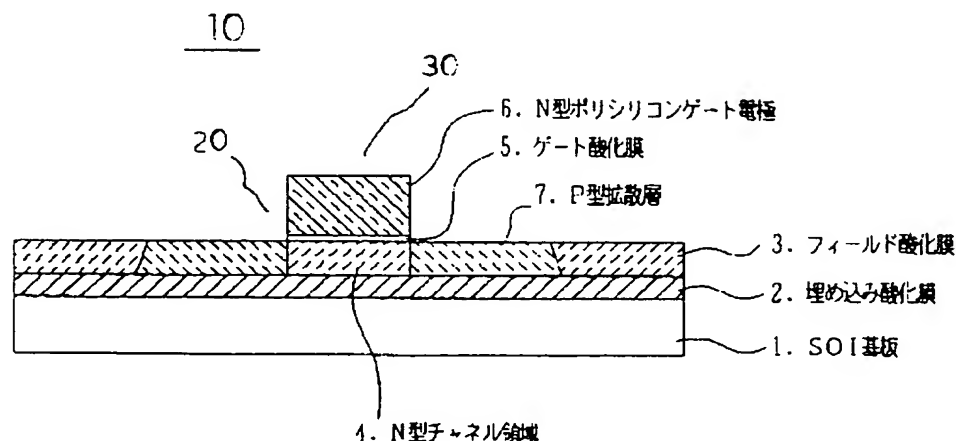
【図1】図1は、本発明に係る半導体装置の1具体例の構成を示す断面図である。

【図2】図2は、本発明に係る半導体装置の他の具体例の構成を示す断面図である。

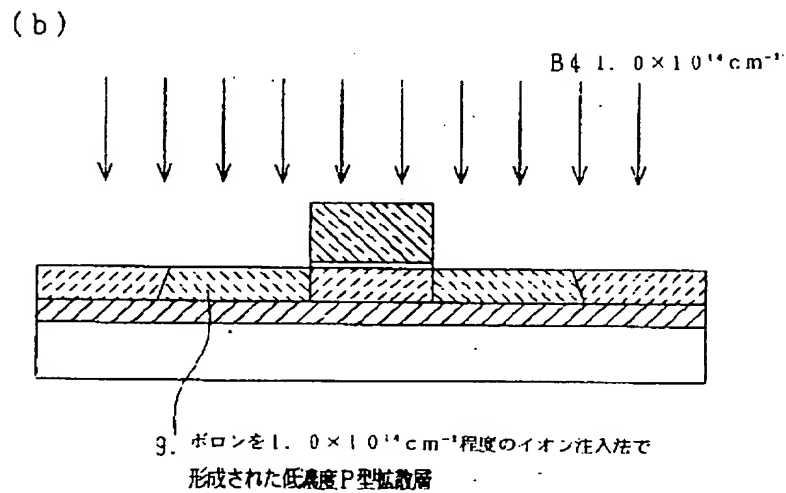
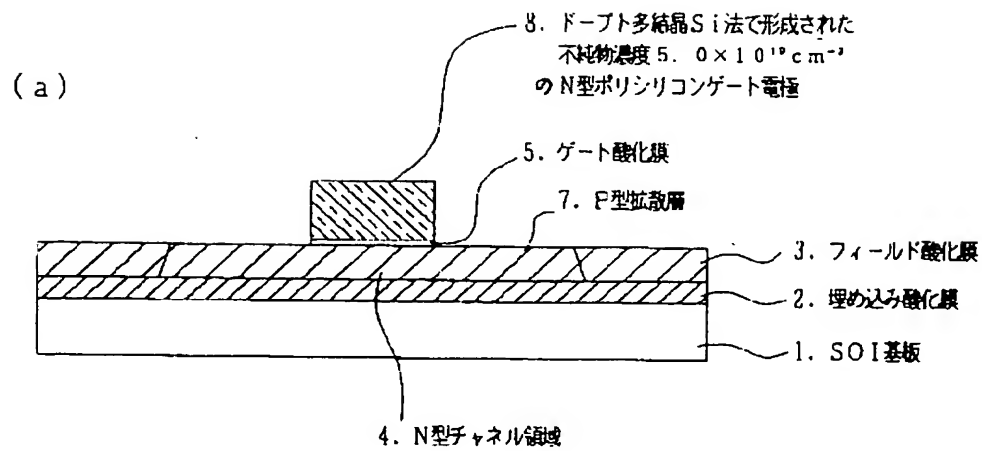
【符号の説明】

- 1…SOI基板
- 2…酸化膜
- 3…フィールド酸化膜
- 4…Nチャネル領域
- 5…ゲート酸化膜
- 6…N型ゲート電極
- 7…P型拡散層
- 8…P型ゲート電極
- 9…低濃度P型拡散層
- 10…半導体装置、DRAM
- 20…セルトランジスタ
- 30…PMOSトランジスタ

【図1】



【図2】





JP2001036037

Biblio

Page 1

Drawing



## SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP2001036037

Publication date: 2001-02-09

Inventor(s): HAMATAKE NOBUHISA

Applicant(s): NEC CORP

Requested Patent: ☐ JP2001036037

Application Number: JP19990206528 19990721

Priority Number(s):

IPC Classification: H01L27/108; H01L21/8242; H01L27/08; H01L29/786

EC Classification:

Equivalents: TW477074

### Abstract

**PROBLEM TO BE SOLVED:** To obtain a complete depletion-type transistor with a high threshold voltage by forming the cell transistor only out of a PMOS transistor formed on a SOI substrate.

**SOLUTION:** Every cell transistor portion 20 of DRAM 10 is constituted of a PMOS transistor 30 formed on a SOI substrate 1. The gate electrodes 6 of PMOS 30 formed on all the SOI substrates 1 comprising the cell transistors 20 is formed out of n-type polysilicon. A PMOS transistor formed on the SOI substrate 1 of a logic portion is driven at a low threshold voltage  $V_t$ . Meanwhile, a PMOS transistor formed on the SOI substrate 1 comprising a cell portion is driven at a high threshold voltage  $V_t$ . Thus a high  $V_t$  is attained by a complete depletion-type transistor, and if the device is used in a DRAM cell transistor, a sufficient operating margin for sense-up is ensured.

Data supplied from the esp@cenet database - I2